

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **09-293875**

(43)Date of publication of application : **11.11.1997**

(51)Int.Cl. **H01L 29/786**
G02F 1/136
H01L 21/336

(21)Application number : **08-129256** (71)Applicant : **CANON INC**

(22)Date of filing : **26.04.1996** (72)Inventor : **KUNYONE KAZUO**

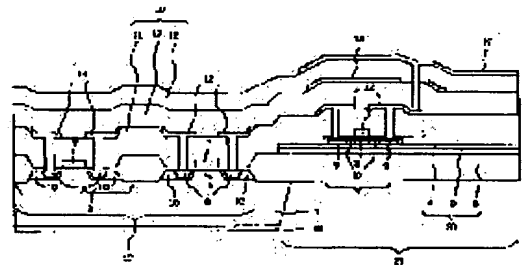
(54) SEMICONDUCTOR ELEMENT SUBSTRATE, MANUFACTURE THEREOF, AND SEMICONDUCTOR DEVICE USING ITS SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high precision, a uniform surface, miniaturization and prevention of deterioration in display picture quality, by recrystallizing an amorphous conductive film to form a transparent conductive film.

SOLUTION: A through-hole for connection with a metal electrode 12 on a drain side of a pixel switching element is formed in a second nitride film 15, and a transparent conductive film 17 is formed as a pixel electrode.

In this case, for example, an amorphous ITO film is etched to be patterned. With the amorphous ITO film, since the etching rate on the sidewall is lower than in the direction of thickness, the quantity of etching on the sidewall may be estimated to be small and patterning precision is improved, thus enabling realization of higher precision. Subsequently, heat treatment is performed to crystallize the amorphous ITO film. Thus, the optical transmittance of the ITO film may be improved. Also, in this case, the surface roughness of the ITO film may be reduced. After that, a display section is provided with optical transmittance by a process of removing a part of a silicon



wafer.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision
of rejection or application
converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293875

(43) 公開日 平成9年(1997)11月11日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 B
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 21/336			H 0 1 L 29/78	6 2 7 G

審査請求 未請求 請求項の数 5 F D (全 9 頁)

(21) 出願番号 特願平8-129256

(22) 出願日 平成8年(1996)4月26日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 園米 和夫

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 半導体素子基板およびその製造法、該基板を用いた半導体装置

(57) 【要約】

【課題】 画素スイッチング素子に多結晶シリコン素子、周辺駆動回路に単結晶シリコン素子を用いたアクティブマトリクス型の液晶表示装置において、画素電極の表面均一化、高精細化、および半導体層のプラズマダメージの回復を図る。

【解決手段】 画素電極の製造工程において、まず非晶質導電膜を形成し、熱処理によって該非晶質導電膜を結晶化して均一な表面を形成すると同時に半導体層のプラズマダメージを回復する。

【特許請求の範囲】

【請求項1】 単結晶半導体基板上に少なくとも、単結晶半導体素子と、透光性膜を介して形成された非単結晶半導体素子と、非晶質導電膜を再結晶化してなる透明導電膜とを有し、上記透光性膜直下の単結晶半導体基板が除去され、上記単結晶半導体素子と非単結晶半導体素子および該非単結晶半導体素子と透明導電膜とがそれぞれ電氣的に接続されていることを特徴とする半導体素子基板。

【請求項2】 前記透明導電膜が酸化インジウムを主成分とする膜である請求項1に記載の半導体素子基板。

【請求項3】 請求項1または2に記載の半導体素子基板の製造法であって、単結晶半導体基板上に透光性膜を形成する工程と、該透光性膜上に非単結晶半導体素子を形成する工程と、単結晶半導体素子を形成する工程と、非晶質導電膜を形成する工程と、該非晶質導電膜を再結晶化して透明化する工程とを有することを特徴とする半導体素子基板の製造法。

【請求項4】 非晶質導電膜が25～150℃で成膜された後パターンニングされる請求項3記載の半導体素子基板の製造法。

【請求項5】 請求項1または2に記載の半導体素子基板を用いたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、半導体素子を有する半導体素子基板およびその製造法に関し、さらに、該半導体素子基板を利用した半導体装置に関する。

【0002】

【従来の技術】半導体装置の一つである液晶表示装置は、小型TVなどの家電製品をはじめとして、ノート型パソコン、カーナビゲーション、ビューファインダなどのフラットパネルディスプレイや、プロジェクションTV、HMDなどの様々な表示装置として利用されている。現在最も広く用いられている液晶表示装置は、各画素をアクティブマトリクス駆動する方式のもので、スイッチング素子として薄膜トランジスタ(TFT)をマトリクス状に配置してなるアクティブマトリクス基板を用いてなるものである。

【0003】図5に液晶表示装置に用いるアクティブマトリクス基板の概略構成図を示す。図中、51は画素スイッチング素子であるTFT、52はバッファ回路、53は水平走査回路、54は垂直走査回路、55は画素電極、56は基板である。

【0004】図5において、テレビの輝度信号や音声信号は、ある周波数帯域に圧縮されて、その周波数に追従できる駆動能力を持った水平走査回路53によって駆動しているバッファ回路52に送られてくる。続いて垂直走査回路54によって画素スイッチング素子51がオンしている期間に画素電極55に信号が転送される。ハイ

ビジョンTVに应用した場合を考えると、フレーム周波数60Hz、走査線本数約1000本、水平走査期間約30μsec(有効走査期間27μsec)、水平画素数約1500個であるとする、テレビ信号は周波数約45MHzでバッファ回路52に転送されてくる。よって、各回路に要求される性能としては、水平走査回路53の駆動能力は45MHz以上、垂直走査回路54の駆動能力は500kHz以上、水平走査回路53で駆動されてテレビ信号をバッファ回路52に転送する転送スイッチの駆動能力は45MHz以上、画素スイッチング素子51の駆動能力は500kHz以上となる。

【0005】ここで述べた駆動能力は、液晶表示画素にある階調数Nを出す場合、液晶の最大または最小の透過率を与える電圧を V_m 、 $V-T$ (電圧-透過率)曲線から得られる液晶の閾値電圧を V_t とすると、上記走査期間内に、

$$V_m - (V_m - V_t) / N [V]$$

以上の電圧が転送されることを意味する。このことから、画素スイッチング素子51および垂直走査回路54は比較的駆動能力が小さくても良いが、水平走査回路53およびバッファ回路52は高速の駆動が必要となる。よって、通常のアクティブマトリクス駆動方式の液晶表示装置では、画素スイッチング素子51や垂直走査回路54はガラス基板上に堆積された非晶質シリコン層または多結晶シリコン層上に、その他の周辺駆動回路はICチップを外部から実装することで対応してきた。

【0006】最近では、多結晶シリコンを用いることで周辺駆動回路とモノリシックに形成した液晶表示装置が試作されているが、周辺駆動回路としてはTFTの駆動能力が小さいため、トランジスタサイズを大きくしたり、回路上複雑な工夫が必要になる。このことから、周辺駆動回路を高性能化するためには、結晶性の優れた半導体層上に周辺駆動回路を形成する必要がある。従って、周辺駆動回路を形成する素子については単結晶半導体素子を用いることが望ましいと言える。

【0007】画素スイッチング素子については、例えばアクティブマトリクス回路のTFTの全負荷を50fF、液晶配向のための電圧スイング幅を10Vとすると、

$$50 \times 10^{-15} \times 10 = 5 \times 10^{-13} [C]$$

の電荷を一定時間内に流す必要がある。これを上記したように500kHzで駆動する場合、TFTの飽和電流 I_{sat} は、

$$I_{sat} \times 1 / (500 \times 10^3) > 5 \times 10^{-13}$$

より

$$I_{sat} > 2.5 \times 10^{-7} [A]$$

となる。これは非晶質シリコンTFTまたは多結晶シリコンTFTでも容易に達成することができる。

【0008】液晶表示装置は大別して光透過型液晶表示装置と光反射型液晶表示装置とがある。前者では、液晶

表示部の基板が可視光領域において光透過性であることが必要であるが、後者では必ずしもその必要はない。また、いずれの場合においても、周辺駆動回路は遮光されていなければならない。

【0009】以上のことから、周辺駆動回路を内蔵する液晶表示装置においては、画素スイッチング素子は非晶質半導体素子または多結晶半導体素子を用いても充分であるが、周辺駆動回路を構成する素子については単結晶半導体素子を用いることが望ましいと言える。

【0010】図2に画素スイッチング素子として多結晶半導体素子、周辺駆動回路に単結晶半導体素子を用いた従来の液晶表示装置、図1にそのアクティブマトリクス基板、図3および図4にその製造工程を示す。図1に示す周辺駆動回路は単結晶シリコン素子によるCMOS構成で、MOSTランジスタはゲート・セルフアラインによるコプラナ型である。

【0011】図中、1はシリコン基板、2は第1のシリコン酸化膜（以下、第1の酸化膜）、3は第1のシリコン窒化膜（以下、第1の窒化膜）、4は第2のシリコン酸化膜（以下、第2の酸化膜）、5は多結晶シリコン層、6はゲート絶縁膜、7はゲート電極、8はチャネル、9は高濃度ソース・ドレイン、10は低濃度ソース・ドレイン、11は層間絶縁膜、12は金属電極、13は第3のシリコン酸化膜（以下、第3の酸化膜）、14は金属遮光膜、15は第2のシリコン窒化膜（以下、第2の窒化膜）、17は透明導電膜、18は多結晶シリコン素子、19は単結晶シリコン素子、20は第1の絶縁層、21はガラス基板、22は遮光膜、23はカラーフィルター、24は透明対向電極、25は液晶、26は封止材、27は開口部、28は第4のシリコン酸化膜（以下、第4の酸化膜）、29は配向膜、30は第2の絶縁層である。

【0012】以下に製造工程を簡単に説明する。

【0013】シリコン基板1上に第1の酸化膜2を形成する（a）。第1の酸化膜2上に第1の窒化膜3および第2の酸化膜4を積層してパターニングを行なう

（b）。第2の酸化膜4上に多結晶シリコン層5を積層してパターニングを行なう（c）。ゲート絶縁膜6の形成、ゲート電極7の積層およびパターニングを行なった後、イオン注入によりチャネル8、高濃度ソース・ドレイン9、低濃度ソース・ドレイン10を形成する

（d）。層間絶縁膜11を積層した後、金属電極12の形成およびパターニングを行なう（e）。第3の酸化膜13を積層した後、金属遮光膜14の形成およびパターニングを行なう（f）。第2の窒化膜15を形成した後、透明導電膜17の形成およびパターニングを行なう（g）。

【0014】上記アクティブマトリクス基板上にポリイミドなどの有機材料からなる配向膜29を形成し、一方、ガラス基板21上に例えばCrなどの金属を用いた

遮光膜22、顔料または染料で作製されたカラーフィルター23、ITO膜などを用いた透明対向電極24、配向膜29を設けた対向基板を用意し、上記アクティブマトリクス基板と対向配置する。両基板間に間隔を保つためのスペーサー（不図示）を散布し、両基板を封止材26で封止し、基板間に液晶25を充填する（図2）。最後に、第4の酸化膜28をマスク、第2の酸化膜4をエッチングストッパ層として、異方性エッチングにより表示領域の単結晶シリコン基板1を除去し当該領域を光透過性とする。

【0015】光透過型液晶表示装置では画素電極（透明導電膜17）としてITO（Indium Tin Oxide）など透明導電膜が用いられる。通常ITO膜は200℃以上の温度で形成されることが多く、例えば、温度225℃、圧力1.8 Torr、SiH₄ 流量200 sccm、Ar流量120 sccm、O₂ 流量1.2 sccmの条件下でスパッタ法により、堆積速度4.8 nm/minで140 nmの厚さに堆積することができる。

【0016】

【発明が解決しようとする課題】しかしながら、上記の方法で作製された液晶表示装置では、以下に示すいくつかの問題点があった。

【0017】（1）ITO膜をパターニングする際に、膜厚方向のみでなく、側壁方向へのエッチングが進行する。例えば上記した条件でITO膜のパターニングを行なった場合、側壁方向へのエッチング速度に対する膜厚方向へのエッチング速度の比は約0.47であり、ITO膜のエッチングを行なった際にパターンが小さくなってしまふ。このことはITO膜の微細加工精度が低いということであり、液晶表示装置の高精細化にあたっては大きな障害となる。

【0018】（2）上記した条件で得られたITO膜の表面にはリーフ状の凹凸が見られる。この凹凸によりITO膜の表面粗さは10 nm以上となり、表面が均一でないことを示している。液晶表示装置においては、ITO膜上に液晶を配向させる配向膜を形成するが、ITO膜表面が均一でない場合、均一な配向膜を形成することができないため、液晶の均一な配向が実現できなくなってしまう。特に、ITO膜上の液晶層は画面を表示する部分となることから、表示画質の劣化を招いてしまう。

【0019】（3）ITO膜形成時のプラズマダメージがTFTに影響を与えてしまう。より具体的には、オン電流の低下、S値の増大による駆動力の低下などであり、TFTの性能低下は画像表示品位低下の原因となる。

【0020】上記（3）はITO膜形成後もしくはパターニング後に熱処理を行なえば解決できるが、熱処理工程が1工程増加することや、適当な熱処理条件を選択しないとITO膜から酸素が脱離して、ITO膜が黒く変

色し、光透過率が低下するなどの問題点が生じてしまう。これらの問題点は上記した液晶表示装置のみならず、その他のITO膜および水素を含む絶縁膜を用いる半導体装置においても同様に問題となる。

【0021】本発明は、上記問題点を解決した半導体素子基板を提供することを目的とする。すなわち、単結晶基板上に単結晶半導体素子と非結晶半導体素子とを有し、該非結晶半導体素子が形成された領域が透明である半導体素子基板において、高精度にかつ表面を均一に、さらにTFTHのプラズマダメージを防止して、ITO膜を形成し、小型化および表示画質の劣化防止を図った液晶表示装置等半導体装置を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明は第1に、単結晶半導体基板上に少なくとも、単結晶半導体素子と、透光性膜を介して形成された非単結晶半導体素子と、非晶質導電膜を再結晶化してなる透明導電膜とを有し、上記透光性膜直下の単結晶半導体基板が除去され、上記単結晶半導体素子と非単結晶半導体素子および該非単結晶半導体素子と透明導電膜とがそれぞれ電氣的に接続されていることを特徴とする。

【0023】本発明は第2に、上記半導体素子基板の製造法であって、単結晶半導体基板上に透光性膜を形成する工程と、該透光性膜上に非単結晶半導体素子を形成する工程と、単結晶半導体素子を形成する工程と、非晶質導電膜を形成する工程と、該非晶質導電膜を再結晶化して透明化する工程とを有することを特徴とする。

【0024】本発明は第3に、上記半導体素子基板を用いたことを特徴とする半導体装置を提供するものである。

【0025】本発明の半導体装置は液晶表示装置に好適に応用される。以下、液晶表示装置を構成する場合を例に挙げて本発明を説明する。

【0026】

【発明の実施の形態】本発明の半導体素子基板の製造法においては、図4に示した工程(g)において、いったん非晶質の導電膜を形成した後に、熱処理によって該非晶質導電膜を再結晶化して透明導電膜17を得ることに特徴を有する。

【0027】本発明においては、非晶質導電膜をエッチングしてパターニングすることになるが、非晶質導電膜では側壁へのエッチング速度が膜厚方向に比べて小さいため、側壁のエッチング分を小さく見積もることができ、パターニング精度が向上してより高精細化を図ることができる。

【0028】また、透明導電膜をいったん非晶質で形成してから熱処理して結晶化した場合には、その表面の均一性が高まる。

【0029】さらに本発明の製造法によれば、上記非晶質導電膜の熱処理によって、多結晶シリコン層のプラズ

マダメージを回復させることができる。

【0030】本発明の半導体素子基板の製造法については、上記特徴を有していればその他の工程については従来と同様であり、様々な方法、条件を適用することが可能である。

【0031】本発明の製造法について、図3、図4に沿って具体的に説明する。

【0032】まず、単結晶シリコン基板1上への多結晶シリコン層5の積層方法としては、常圧CVD法、減圧CVD法、プラズマCVD法などを用いることが可能である。この場合、例えば減圧CVD法では圧力0.1～5.0 Torr、温度450～900℃で SiH_4 、 Si_2H_6 、 Si_2Cl_2 などを水素または窒素で希釈して行なうことが可能である。 SiH_4 を窒素で希釈する場合、 SiH_4 濃度は20～30%の範囲で行なうことが可能である。また SiH_4 の熱分解を利用して多結晶シリコン層を積層する場合は、 SiH_4 を希釈する必要はない。 Si_2H_6 をソースガスとして用いると、 SiH_4 に比べてより低温での膜形成が可能となる。またプラズマCVD法では膜形成温度を300℃程度まで下げることが可能である。

【0033】この他、非晶質シリコン層を再結晶化して多結晶シリコン層を得ることも可能である。この場合、非晶質シリコン層は減圧CVD法、グロー放電法、アーク放電法、反応性スパッタ法、熱CVD法、光CVD法、プラズマCVD法、蒸着法などを用いて積層することが可能である。積層条件としては、例えばグロー放電法では、 SiH_4 、 Si_2H_6 、 SiCl_4 などを用いることが可能である。この場合、 SiH_4 では圧力0.5～2.0 Torr、温度250～350℃、グロー発振周波数50～450 Hzの範囲で非晶質シリコン層を積層することが可能である。

【0034】再結晶化法としては、アルゴンレーザのパルスビームや、CWレーザビーム、Qスイッチパルスレーザビーム、KrFやXeClなどのエキシマレーザビーム、電子線ビームなどを用いて行なうレーザアニール法と、熱処理による固相成長法などを用いることが可能である。

【0035】レーザアニール法では、室温から300℃の範囲で再結晶化を行なうことが可能である。固相成長法では、温度500～800℃、10～20時間の範囲で、水素中または窒素中で赤外線ランプまたはストリップヒータにより加熱して、再結晶化を行なうことが可能である。

【0036】ゲート絶縁膜6については、酸化膜の他、窒化膜、アルミナ(Al_2O_3)、酸化タンタル(Ta_2O_5)、ONO(Oxidized-Nitride Oxide)膜、窒化酸化膜(SiON)およびこれらの積層膜を用いることが可能である。

【0037】酸化膜の形成は、熱酸化法、常圧CVD

法、減圧CVD法、プラズマCVD法、スパッタ法を用いて行なうことが可能である。熱酸化ではパイロジェニック酸化、ドライ酸化、ウェット酸化、スチーム酸化、塩酸などを用いたハロゲン酸化などで行なうことが可能である。CVD法ではTEOS (tetraethoxysilane) を用いることも可能である。

【0038】窒化膜の形成方法としては、熱窒化法、常圧CVD法、減圧CVD法、プラズマCVD法などを用いることが可能である。アルミナまたは酸化タンタルは、AlまたはTaをスパッタ法で形成した後、陽極酸化を行なって作製される。

【0039】ゲート電極7については、高濃度にドーピングされた多結晶シリコン（例えばn型多結晶シリコンやp型多結晶シリコンなど）をはじめ、後述する金属電極を用いることが可能である。多結晶シリコンのドーピングについては、気相中でのイオンドーピングの他、イオン注入などで行なうことが可能である。例えばB、BF₂などのイオンを用いてp型多結晶シリコンを、P、Sb、Asなどのイオンを用いてn型多結晶シリコンを得ることができる。この他、非晶質シリコンまたは多結晶シリコン形成時に不純物ドーピングを行ない、エキシマレーザなどで活性化（非晶質シリコンは同時に多結晶化）させるエキシマレーザドーピング法を用いることも可能である。

【0040】層間絶縁膜11としては、BPSG (Boron-Phospho Silicate Glass) 膜の他、NSG (Non-doped Silicate Glass) 膜、BSG膜、PSG膜などを用いることが可能である。

【0041】金属電極12については、Al、W、Ta、Ti、Cu、Cr、Mo、Ta₂N、TiN、またはこれらのシリサイドを単独または組み合わせて用いることが可能である。

【0042】金属遮光膜14については、金属電極12と同様の材料を用いることが可能である。

【0043】水素を含む絶縁膜である第2の窒化膜15は、プラズマCVD法で形成され、10nm以上の厚さであれば水素供給源として機能することができる。

【0044】非晶質導電膜として、例えば非晶質ITO膜は室温（25℃）から150℃の範囲で形成することが可能である。非晶質ITO膜のエッチング方法としては、HI/H₃PO₂の他、HBr/H₃PO₂、HI/FeCl₃などの混合溶液を用いることも可能である。

【0045】非晶質導電膜の結晶化は酸素、窒素、Arなどの不活性ガスおよび、これらのうちいずれかの混合気体中において、温度200～350℃、処理時間10～120分の範囲で行なうことが可能である。なお、水素中などの還元性気体中で熱処理を行なうと、ITO膜は還元されて黒化してしまうため、非晶質ITO膜中に

酸素を多く含ませておくか、上記の条件で微量の水素を混合して熱処理を行なうことになる。

【0046】画素スイッチング素子としては、pMOSトランジスタ、nMOSトランジスタのいずれでも用いることができる。またpMOSトランジスタとnMOSトランジスタを混載することも可能である。

【0047】周辺駆動回路については、CMOS構成の他、さらに駆動能力を向上するためのバイポーラ・トランジスタを含むBi-CMOS構成とすることも可能である。MOSトランジスタの構造としてはコプラナ型の他、逆コプラナ型、スタガ型、逆スタガ型のいずれかをとりすることが可能である。

【0048】また、TFTに冗長性を持たせるためにゲート電極を並列に並べたデュアルゲート構造としたり、オン/オフ比を上げるためにゲート電極をチャネル部の上下に設けたダブルゲート構造を採用することなども可能である。

【0049】また、本発明において、単結晶シリコン基板1のエッチング方法としては、TMAH（テトラメチルアンモニウムヒドロキシド）、EDP（エチレンジアミンピロカテコール）、ヒドラジン水溶液、KOH溶液（KOH/イソプロパノール、KOH/ヒドラジン混合溶液など）などのアルカリ性溶液を用いることが可能である。

【0050】また、図2に示した表示領域はシリコンウエハ上に形成された開口部27のままであるが、この部分にシリコンゴム、エポキシ樹脂あるいはシリコン酸化膜、シリコン窒化膜などの光透過性絶縁材を充填または堆積することで、液晶表示部分の力学的強度を向上させることも可能である。

【0051】ここで、液晶表示部分の力学的強度についてさらに詳しく述べる。

【0052】図2に示す液晶表示装置では、液晶表示部分の直下のシリコン基板を除去した場合、絶縁膜である第1の酸化膜2、第1の窒化膜3、第2の酸化膜4にある程度の引張応力がかかっている。ここで絶縁膜2～4に過大な圧縮応力がかかっていると、液晶表示部分直下のシリコン基板を除去した場合、絶縁膜2～4にしわがよってしまったり、注入された液晶の重みによって絶縁膜2～4がたれてしまい、セル厚が不均一になってしまうなどの問題を生じてしまう。また逆に絶縁膜2～4に過大な引張応力がかかっていると、液晶表示部分直下のシリコン基板を除去した場合、絶縁膜2～4にクラックが入ってしまうなどの問題点を生じてしまう。従って、本発明の半導体装置を応用した液晶表示装置の場合、画素スイッチング素子などの形成されている絶縁膜2～4にかかる応力の制御が非常に重要となる。

【0053】本実施形態では、絶縁膜として酸化膜と窒化膜の積層膜を用いているが、上記の膜構成において、

最も圧縮応力の大きい膜は第1の酸化膜2であり、直径150mmのシリコンウエハ上に600nm厚積層した場合、その反り量は約42 μ mであった。また、最も引張応力の大きい膜は第1の窒化膜3であり、直径150mmのシリコンウエハ上に270nm厚積層した場合、その反り量は約47 μ mであった。

【0054】表示領域が対角0.7インチ、セル厚4 μ mである液晶表示装置の場合、アクティブマトリクス基板には引張応力がかかっており、その反り量が0~15 μ mの範囲であれば良い。反り量が15 μ mを超える場合、強度の引張により膜が割れてしまう。従って、膜の積層構成としては応力および反り量が基板上にTFTアレイを形成して開口部を設けた状態で上記の範囲を満たし、素子特性の悪化しない条件であれば、膜の種類、膜厚、積層順序などを自由に設定することができる。非晶質ITO膜は内部応力が非常に小さく、結晶化させてもこの特性が変わらないため、膜構成設計の上では好都合である。

【0055】その他細部の作製条件および方法については、作製される液晶表示装置に要求される性能を満たすことができるものは自由に採用することが可能である。例えば、液晶材料としてはTFTアクティブマトリクス液晶表示装置ではTN (Twisted Nematic) 液晶を用いることが多いが、STN (Super Twisted Nematic) 液晶、FLC (Ferroelectric Liquid Crystal, 強誘電性液晶)、AFLC (Anti-Ferroelectric Liquid Crystal, 反強誘電性液晶)、PDLC (Polymer-Diffused Liquid Crystal, 高分子分散液晶) などを用いることも可能である。TN、STN、FLC、AFLCでは液晶表示装置の上下に偏光板を設ける必要があるが、PDLCではシュリーレン光学系によって液晶表示を行なうことも可能である。

【0056】

【実施例】本発明の実施例として、図2に示す液晶表示装置を以下に示す工程によって作製した。

【0057】面方位〈100〉、直径150mm、厚さ625 μ m、比抵抗2.0 Ω cmのn型シリコンウエハ上に、加速電圧60keV、ドーズ量 9×10^{12} cm⁻²でBイオンを注入した後、酸素/窒素混合気体 (O₂ : N₂ = 1 : 5) 中で1150℃、840分間の熱処理を行なって単結晶シリコン素子19のnMOSTランジスタのチャンネル領域8を形成した。

【0058】TFTを形成する部分に熱酸化によって第1の酸化膜2を形成した。ここでは酸素/水素混合気体 (O₂ : H₂ = 4 : 6) 中で温度1000℃、酸化速度4.6nm/minの条件下で行なって、厚さ550nmの酸化膜を形成した (パイロジェニック酸化)。この酸化膜は周辺回路となる部分へも形成して、単結晶シリ

コン素子19の素子分離も行なった。

【0059】次に減圧CVD法によって第1の窒化膜3を積層した。ここでは温度780℃、圧力23Pa、SiH₂Cl₂ 流量63sccm、NH₃ 流量630sccm、堆積速度27.5nm/minの条件下で厚さ0.3 μ mの窒化膜を積層した。

【0060】続いて上記第1の窒化膜3の表面を酸化して厚さ30nmの第2の酸化膜4を形成した。ここでは酸素/水素混合気体 (O₂ : H₂ = 4 : 6) 中で温度1000℃、酸化速度1.3nm/minの条件下で行なった。

【0061】次にTFTとなる多結晶シリコン層5を積層した。ここでは温度610℃、圧力18Pa、SiH₄ 流量600sccm、堆積速度4.8nm/minの条件下で厚さ70nmの多結晶シリコン層を積層した。続いて加速電圧35keV、ドーズ量 1×10^{12} cm⁻²でBF₂ イオンを注入した後、窒素中で950℃、10分間の熱処理を行なって多結晶シリコン層18のチャンネル領域8を形成した。さらに異方性ドライエッチングによって多結晶シリコン層5のパターニングを行なった。

【0062】上記多結晶シリコン層により、nMOS構成の画素スイッチング素子を構成し、周辺駆動回路は単結晶シリコン層を有するCMOS構成とした。ここでは該CMOSを構成するMOSTランジスタはゲート・セルフアラインによるコプラナ型とした。

【0063】ゲート絶縁膜6はドライ酸化によって温度1150℃、酸化速度4.5nm/minの条件下で形成し、厚さを85nmとした。

【0064】続いてゲート電極7の形成を行なった。ここでは温度610℃、圧力18Pa、SiH₄ 流量600sccm、堆積速度5.5nm/minの条件下で厚さ440nmの多結晶シリコン層を堆積した後、加速電圧70keV、ドーズ量 1.5×10^{16} cm⁻²でPイオンを注入し、さらに酸素/窒素混合気体 (O₂ : N₂ = 1 : 20) 中で950℃、10分間の熱処理を行なった後、異方性ドライエッチングを行なってゲート電極を形成した。

【0065】次にイオン注入によってMOSTランジスタのソース・ドレイン領域を形成した。ここでは画素スイッチング素子である多結晶シリコン素子18については加速電圧95keV、ドーズ量 1×10^{13} cm⁻²のPイオンを注入してnMOSTランジスタのソース・ドレイン領域を形成した。周辺駆動回路については、加速電圧95keV、ドーズ量 5×10^{15} cm⁻²のPイオンを注入してnMOSTランジスタのソース・ドレイン領域を形成し、加速電圧100keV、ドーズ量 3×10^{15} cm⁻²のBF₂ イオンを注入してpMOSTランジスタのソース・ドレイン領域を形成した。イオン注入後には窒素中で1000℃、10分間の熱処理を行なった。

【0066】続いて層間絶縁膜11として厚さ700n

mのBPSG膜を積層した後、異方性ドライエッチングを行なってコンタクトホールを形成した。なお、BPSG膜は積層後に酸素/窒素混合気体($O_2:N_2=1:20$)中で $1000^{\circ}C$ 、5分間の熱処理でリフローを行った。

【0067】アルミニウムなどの金属電極材料をスパッタ法により堆積して、所定の配線形状にドライエッチングを行なって配線部を形成した。ここではTi/TiN/Al-Si/TiNを順に $10/200/350/100nm$ 厚で積層して形成した。また、Ti/TiNの積層後に、窒素中で $450^{\circ}C$ 、30分間の熱処理を行った。

【0068】続いてプラズマCVD法で第3の酸化膜13を形成し、その上にTiからなる金属遮光膜14を形成した。第3の酸化膜13は、温度 $400^{\circ}C$ 、圧力 $1.8Torr$ 、 SiH_4 流量 $200sccm$ 、 N_2O 流量 $6000sccm$ 、 N_2 流量 $3150sccm$ 、2周波励起のプラズマを用いて堆積速度 $49.5nm/min$ の条件下で $950nm$ の厚さに堆積した。またTiはスパッタ法により $200^{\circ}C$ で厚さ $200nm$ 積層して形成した。なお、この工程までにシリコンウエハ裏面側にマスク材となる第4の酸化膜28の形成およびパターンニングを行った。

【0069】水素を含む絶縁膜として、プラズマCVD法により第2の窒化膜15を形成した。ここでは、温度 $400^{\circ}C$ 、圧力 $2.8Torr$ 、 SiH_4 流量 $290sccm$ 、 NH_3 流量 $1900sccm$ 、 N_2 流量 $1000sccm$ 、2周波励起のプラズマを用いて堆積速度 $20.8nm/min$ の条件下で厚さ $270nm$ の第2の窒化膜15を形成した。この窒化膜中の水素含有量は5%であった。

【0070】続いて、水素中で $400^{\circ}C$ 、120分間の熱処理を行なって第2の窒化膜から多結晶シリコン層中へ水素を拡散させる。これは多結晶シリコン素子18の特性向上を図るために行なわれているものである。すなわち、水素を拡散することで、多結晶シリコンの電気移動度を大きくして、数 μsec 間に画素に電荷を書き込むことが要求されるTFTの高速化を実現しようとするものである。

【0071】上記第2の窒化膜15に、画素スイッチング素子のドレイン側の金属電極12に接続するスルーホールを形成し、画素電極として透明導電膜17を形成した。ここでは、温度 $100^{\circ}C$ 、圧力 $2mTorr$ 、 O_2 分圧3%、Sn分圧10%の条件下でスパッタ法により厚さ $140nm$ の非晶質ITO膜を堆積した。この状態では画素電極は黒色であり、光透過率は70%であった。この後 $40^{\circ}C$ のHI/ H_3PO_2 の混合溶液を用いてパターンニングを行なった。側壁方向のエッチング量は $14nm$ 程度に抑えることができた。

【0072】この後窒素中で $400^{\circ}C$ 、120分間の熱

処理を行なって非晶質ITO膜を結晶化した。これによりITO膜の光透過率は95%となった。また、このときのITO膜の表面粗さは数nm程度であった。

【0073】その後、公知の液晶表示装置組立プロセスに行なって、液晶セルを作製した。最後に $90^{\circ}C$ のTMAHによる異方性エッチングを行なって、n型シリコンウエハの一部を除去した。ここで第1の酸化膜2がエッチングストップ層となる。当該工程により表示部が光透過性となった。

【0074】本実施例の液晶表示装置は、従来の装置に比べて電気特性の良好なスイッチング素子および駆動回路を有し、高精細でかつ液晶が均一に配向した高性能の液晶表示装置であった。

【0075】

【発明の効果】以上説明したように、本発明によれば、エッチング特性が良好で高品質の透明導電膜と、高速で安定に駆動する半導体素子を備えた半導体素子基板が得られる。

【0076】上記半導体素子基板を用いた本発明の半導体装置を適用した液晶表示装置においては、画素電極である透明導電膜の製造工程において側壁方向のエッチング量を抑えることができるため、パターンが小さくなってしまいうことがなく、表示部の高精細化を実現でき、よりリアルで細かい画像表示、あるいは拡大光学系によるプロジェクタに好ましく適用される。

【0077】また、非晶質状態から結晶化した透明導電膜の表面は均一であることから、均一な配向膜の形成およびこれによる液晶の均一な配向が実現でき、均一で高品位の画像表示が実現し、点灯検査などでの歩留も向上する。

【0078】さらに、非晶質導電膜の結晶化と同時に、半導体素子のプラズマダメージの回復を行なうことができるため、半導体素子の特性劣化を抑制し、製造歩留の向上が図られるとともに、全体の工程数を増加させることなく当該効果を得ることができるため、製造コストを低くすることができる。

【図面の簡単な説明】

【図1】本発明の半導体素子基板の一実施形態を示す断面図である。

【図2】本発明の半導体装置の一実施形態である液晶表示装置を示す断面図である。

【図3】図1に示した半導体素子基板の製造工程を示す図である。

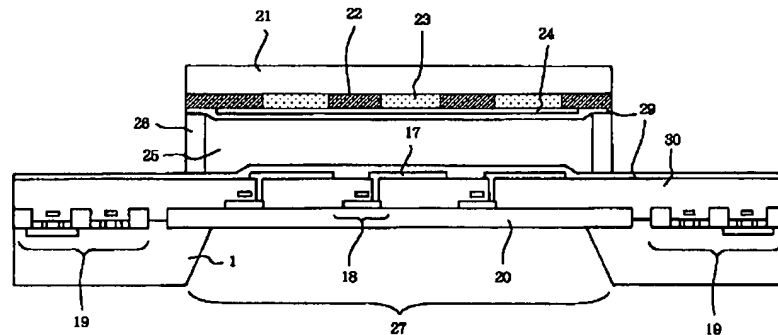
【図4】図1に示した半導体素子基板の製造工程を示す図である。

【図5】液晶表示装置のアクティブマトリクス基板の概略構成図である。

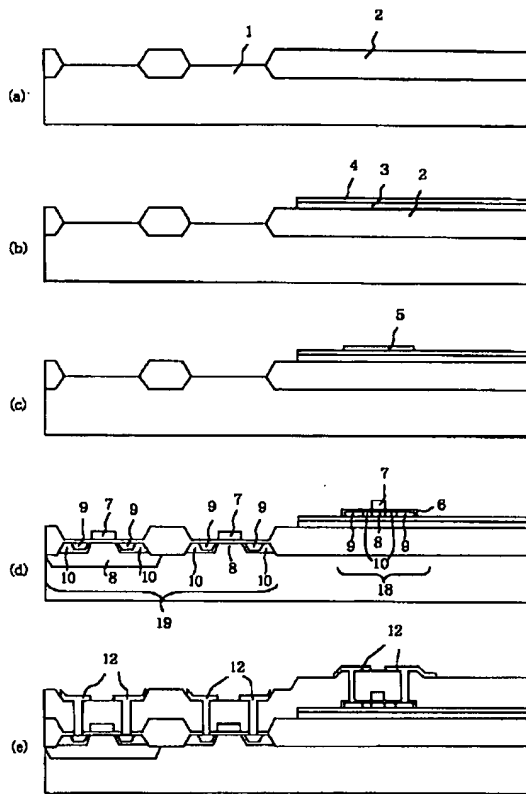
【符号の説明】

- 1 シリコン基板
- 2 第1のシリコン酸化膜

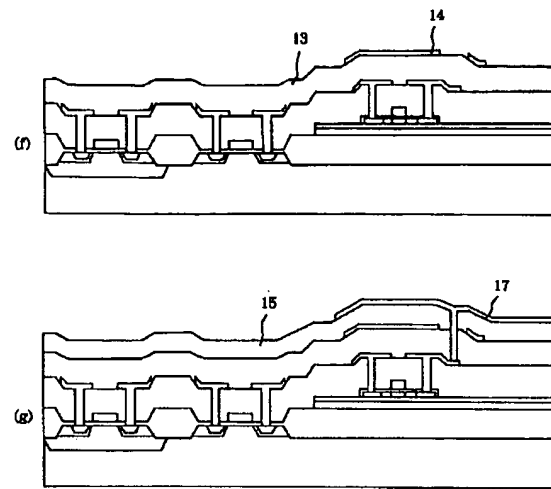
- 【図1】



【図3】



【図4】



【図5】

